

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-329000

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

G11C 29/00
G01R 31/28
G11C 11/401

(21)Application number : 10-137266

(71)Applicant : MITSUBISHI ELECTRIC CORP

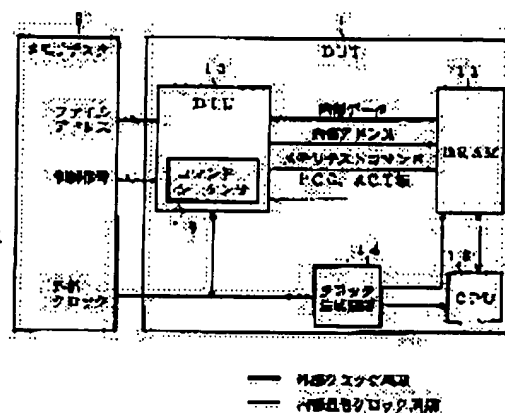
(22)Date of filing : 19.05.1998

(72)Inventor : OKUI MASAO

(54) TEST METHOD OF BUILT-IN MEMORY, AND BUS INTERFACE UNIT AND COMMAND DECODER USED THEREFOR**(57)Abstract:**

PROBLEM TO BE SOLVED: To achieve a built-in memory test method permitting to shorten a test time of built-in DRAM and a bus interface unit and a command decoder used therefor.

SOLUTION: In a built-in memory test method, test patterns of DRAM 11 are classified into basic patterns having a common sequence of a memory test command; a control signal containing a basic pattern selection signal for selecting one of the basic patterns is impressed on BIU 13 of DUT 1 from a memory tester 2; and a memory test command based on the basic pattern selection signal is generated with an internal clock cycle generated by a clock generation circuit 14 by multiplying an external clock in a command sequencer 15 in BIU 13.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平11-329000

(43)公開日 平成11年(1999)11月30日

(51)IntCl. ⁶	識別記号	PI
G11C 29/00	675	G11C 29/00 675L
G01R 31/28		G01R 31/28 B
G11C 11/401		V
		G11C 11/34 371A

審査請求 未請求 請求項の数5 OL (全11頁)

(21)出願番号 特願平10-137268

(22)出願日 平成10年(1998)5月18日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 奥井 正雄

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

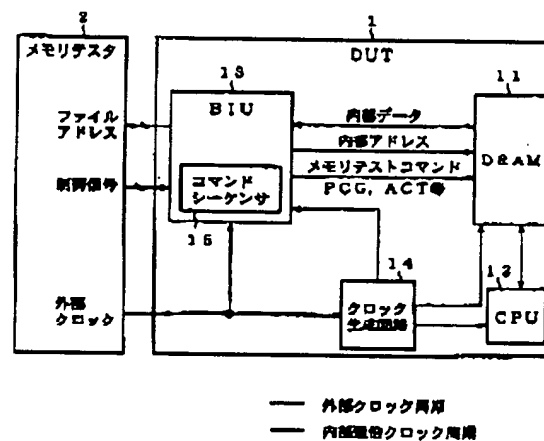
(74)代理人 弁理士 田澤 博昭 (外1名)

(54)【発明の名称】 内蔵メモリテスト方法、およびそれに用いるバスインタフェースユニット、コマンドデコーダ

(57)【要約】

【課題】 内蔵されたDRAMのテスト時間を短縮することが可能な内蔵メモリテスト方法と、それに用いられるバスインタフェースユニットおよびコマンドデコーダを実現する。

【解決手段】 DRAM11のテストパターンをメモリテストコマンドのシーケンスが共通な基本パターンに分類して、その基本パターンを選択する基本パターン選択信号を含んだ制御信号を、メモリテスト2からDUT1のBIU13に印加し、BIU13内のコマンドシーケンサ15において、クロック生成回路14が外部クロックを適倍して生成した内部クロックサイクルで、その基本パターン選択信号に基づくメモリテストコマンドを生成するようにしたものである。



1: DUT (DRAM内蔵プロセッサ)
13: BIU (バスインタフェースユニット)

1

【特許請求の範囲】

【請求項1】 メモリテストから外部クロックサイクルにて入力される制御信号より、メモリテストコマンドをDRAM内蔵プロセッサの内部クロックサイクルで生成して、当該DRAM内蔵プロセッサに内蔵されたDRAMの機能テストを行う内蔵メモリテスト方法において、前記DRAMのテストパターンをメモリテストコマンドのシーケンスが共通である基本パターンに分類し、

前記メモリテストから外部クロックサイクルで入力される制御信号が、前記基本パターンを選択する基本パターン選択信号を含み、

前記基本パターン選択信号に基づくメモリテストコマンドを、前記外部クロックを適倍した前記内部クロックに同期して生成することを特徴とする内蔵メモリテスト方法。

【請求項2】 アドレスおよびデータの生成を、メモリテストからの制御信号に基づいてDRAM内蔵プロセッサの内部で行い、

さらに、前記DRAM内蔵プロセッサの内部において、内蔵するDRAMのバス/フェイルの判定を内部バス幅で行うことを特徴とする請求項1記載の内蔵メモリテスト方法。

【請求項3】 DRAM内蔵プロセッサ内に配置され、コマンドシーケンスを内蔵して、メモリテストから前記DRAM内蔵プロセッサに送られてくる制御信号中の基本パターン選択信号より、内部クロックに同期したメモリテストコマンド、およびアドレスカウントアップ信号を、そのコマンドシーケンスにて生成する制御信号生成部と、

前記制御信号生成部からのアドレスカウントアップ信号と、前記メモリテストからの制御信号中のアドレス推移選択信号より、内部クロックサイクルで内部アドレスを生成するアドレス生成回路と、

前記メモリテストから送られてきた制御信号中のデータセレクト信号とデータ反転信号とを受けて、内部データの入出力を内部クロックサイクルで行うデータ生成回路と、

前記データ生成回路からの内部データをDRAMに出力するドライバと、

前記DRAMから読み出された内部データを前記データ生成回路の生成する期待値パターンと比較して、内部バス幅によるバス/フェイルの判定を行う判定部とを備えたバスインタフェースユニット。

【請求項4】 メモリテストから外部クロックサイクルにて入力される制御信号より、メモリテストコマンドをDRAM内蔵プロセッサの内部クロックサイクルで生成して、当該DRAM内蔵プロセッサに内蔵されたDRAMの機能テストを行う内蔵メモリテスト方法において、前記メモリテストから複数のメモリテストコマンドを表す制御信号を、外部クロックサイクルで入力し、

(2)

特開平11-329000

2

前記DRAM内蔵プロセッサの内部で、前記制御信号の複数のメモリテストコマンドを順に、前記外部クロックを適倍した内部クロックを用いてデコードして、前記内部クロックに同期したメモリテストコマンドを生成することを特徴とする内蔵メモリテスト方法。

【請求項5】 DRAM内蔵プロセッサのバスインタフェースユニット内に配置され、

メモリテストから前記DRAM内蔵プロセッサに送られてくる、複数のメモリテストコマンドを表す制御信号を取り込む複数のバッファと、

前記複数のバッファが取り込んだ制御信号を、それぞれ外部クロックを適倍した内部クロックの各パルスにしたがってラッチする複数のラッチ回路と、

前記複数のラッチ回路にラッチされた制御信号をそれぞれメモリテストコマンドにデコードするデコーダとを備えたコマンドデコーダ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、DRAM内蔵プロセッサ（以下、DUTという）に内蔵されたDRAMの機能テストを行うための内蔵メモリテスト方法、およびそれに用いるバスインタフェースユニット（以下、BIUという）、コマンドデコーダに関するものである。

【0002】

【従来の技術】DUTはCPUやBIUなどのロジック部とDRAMとを1つのチップに集積したLSIである。このDUTのテストには、プロセッサとしての機能テスト以外に、冗長解析等を行うための、内蔵するDRAM単体としてのテストモードが存在する。

【0003】図12はそのような従来の内蔵メモリテスト方法が適用されるDUTの構成を示すブロック図である。図において、1はDUT、2はこのDUT1の駆動用のメモリテストである。また、DUT1内において、11はDRAM、12はCPU、13はBIUであり、14はメモリテスト2からの外部クロックを適倍してDUT1内の内部クロックを生成するクロック生成回路である。

【0004】また、図13は上記メモリテスト2の内部構成を示すブロック図である。図において、21はシーケンス制御部、22はインストラクションメモリ、23はDUT1への制御信号を生成する制御信号生成部であり、24はそれらによって形成されるコントロール部である。25はDUT1に印加するアドレスを生成するアドレス生成部であり、26はデータ生成部、27はライト時にデータ生成部26の生成したデータをDUT1へ送るドライバ、28はリード時にDUT1から送られてくるデータとデータ生成部26の生成した期待値パターンとを比較する判定部である。

【0005】次に動作について説明する。図12に示すDUT1は、チップ内部にメモリテスト2からの外部ク

3

ロックを適倍して内部クロックを生成するためのPLLによるクロック生成回路14を持ち、このクロック生成回路14の生成した内部クロックに同期して内蔵されたDRAM11を制御する。メモリテスト2はこのDUT1に対して、その制御信号生成部23からは制御信号を、アドレス生成部25からはアドレスを、ドライバ27からはデータを送り、また、DUT1より送られてくるデータを判定部28で期待値パターンと比較することにより、そのDRAM11の機能をテストする。なお、クロック生成回路14はメモリテスト2からの外部クロックをPLLで適倍して内部クロックを生成している。

【0006】ここで、DUT1の従来の内蔵メモリテスト方法を説明する前に、DRAM11の同期型制御について簡単に説明する。従来のDRAM11はメモリセルアレイ部を非同期式で制御しており、DRAM11の内部ではユーザに見えない制御信号が多数ある。カラムアドレスのラッチ、イコライズしたビット線対の分離などの手順を踏みながらメモリセルのデータを読み出す。その際、各制御信号の立ち上りや降下のタイミングを非同期方式で発生させていた。また、シンクロナスDRAMにしても入出力バッファのみ同期式であり、メモリセルアレイ部は非同期方式であった。

【0007】これに対して、同期型制御はDUTのロジック部で使用している内部クロックと、メモリコントローラからDRAMへの制御信号であるPCG (row precharge-request)、ACT (row active-request)、RREQ (read-operation-request)、NOP (no-operation-request) を使って、クロック同期のカウンタを制御し、カウンタの論理状態の組み合わせに応じて、非同期型制御と同じ制御信号を生成することとを特徴とする。

【0008】このような同期型制御のDRAM11を内蔵したDUT1の従来のDRAMテストについて説明する。ここで、DUT1駆動用のメモリテスト2は図13に示すように、大きく分けてコントロール部24、アドレス生成部25、およびデータ生成部26の3つの部分から構成されている。

【0009】コントロール部24は、DUT1に印加するアドレス・パターンおよびデータ・パターンの流れを制御する部分であり、そのインストラクションメモリ22には、制御信号生成部23と、アドレス生成部25およびデータ生成部26に印加する演算または選択命令を格納している。制御信号生成部23はシーケンス制御部21の制御によってインストラクションメモリ22より送られてくる命令に従って、DUT1への制御信号を生成する。

【0010】通常、標準のDRAM11においては、RAS (Row Address Select)、CAS (Column Address Select)、

(3)

特開平11-329000

4

R/W (Read/Write) といった信号を、任意のタイミングでメモリテスト2からDUT1のチップ端子に印加する。しかしながら、DUT1では、RAS、CASあるいはPCG、ACT、RREQといった信号はチップ内部で生成しており、ピン端子としては存在しない。そのためDRAM11の単体テストにおいては、 unnecessary システム制御ピン端子などをRAS、CASといった制御信号に割り当てている。この割り当てられたピン端子の“H”、“L”の組み合わせをデコードした結果を用いて、チップ内部でメモリテストコマンドを生成しており、DUT1のDRAM11のテスト時におけるメモリテスト2の制御信号生成部23は、デコードするための制御信号を生成している。

【0011】アドレス生成部25はテスト時にDUT1にアドレスを印加するためにアドレス・パターンを生成しており、コントロール部24からのアドレスの演算命令にしたがってアドレス演算をリアルタイムで実行して、生成したアドレス・パターンをDUT1に印加する。また、データ生成部26はコントロール部24からの命令にしたがって、ライト時にはDUT1に印加するデータ・パターンを生成してドライバ27に出力し、リード時にはDUT1から読み出されたデータの判定に用いられる期待値パターンを生成して判定部28に出力する。

【0012】次に、DRAM11のテスト時におけるDUT1の動作について説明する。DUT1はメモリテスト2から生成される制御信号、アドレス・パターン（行アドレス、列アドレス、バッファアドレス）、およびデータ・パターンの組からなる系列（以下、テストパターンという）を、クロック生成回路14を形成するPLLのリファレンスクロックである、メモリテスト2からの外部クロックサイクルでB1U13に取り込む。その取り込んだパターンに対する動作（例えば、アドレスのラッチやビット線のイコライズなど）を、クロック生成回路14で生成された内部クロックに同期させて実行する。DRAM11から読み出されたデータは入力の場合と同様に、外部クロックサイクルでB1U13を介して出力される。メモリテスト2は判定部28で、この出力データをデータ生成部26の生成した期待値と比較することにより、DRAM11のパス/フェイル (Pass/Fail) の判定を行う。

【0013】前述のようにDUT1における通常動作時は、PCG、ACT、RREQといったメモリテストコマンドの生成およびそれに対する動作は、すべてクロック生成回路14からの内部クロックに同期して行っており、このようなメモリテストコードに対する動作を終了するまでには、外部クロックの1サイクルも必要としない。したがって、外部クロックサイクルでメモリテストコマンドを印加している従来の内蔵メモリテスト方法においては、テスト時間に無駄が生ずることになる。さら

(4)

特開平11-329000

5

に、外部クロックサイクルよりも短いシーケンス動作である連続ページヒット、ヒットミス時の回路動作を網羅的に検証することができず、メモリ単体テスト以外での検証が必要である。また、PLLによるクロック生成回路14をOFFにしてテストする方法もあるが、この場合にはメモリスタ2側から高い周波数の外部クロックを印加する必要があるため、高価なメモリスタ2が必須となってくる。

【0014】一方、データの入出力においては、これまで内部バスと外部バスのデータの入出力のテスト時間の短縮を図る手法として、内部バスを外部バス幅に縮退するMBT (Multi Bit Test) があった。これをDUT1に適用したとしても、データをチップ外部に出力するためには、外部クロックの1サイクル分が必要である。

【0015】なお、このような従来の内蔵メモリテスト方法に関連する記載がある文献としては、例えば特開平9-145790号公報などがある。

【0016】

【発明が解決しようとする課題】従来の内蔵メモリテスト方法は以上のように構成されているので、内部クロックを生成するPLLによるクロック生成回路14を持ち、この内部クロック同期型制御のDRAM11を内蔵したDUT1において、メモリ単体のテストを行う場合、メモリテストコマンドがメモリスタ2から外部クロックサイクルで印加されるため、DRAM11のテストに長時間を要し、また、外部クロックよりも短いサイクルのシーケンス動作のテストが不可能であるなどの課題があった。

【0017】この発明は上記のような課題を解決するためになされたもので、内蔵されたDRAMのテスト時間を短縮し、かつ、DRAMのシーケンス動作を通常動作時と同じサイクルで網羅的に検証することが可能な内蔵メモリテスト方法と、それに用いられるバスインタフェースユニットおよびコマンドデコーダを得ることを目的とする。

【0018】

【課題を解決するための手段】この発明に係る内蔵メモリテスト方法は、DRAMのテストパターンをメモリテストコマンドのシーケンスが共通な基本パターンに分類して、その基本パターンを選択する基本パターン選択信号を制御信号が含み、外部クロックを適倍した内部クロックサイクルでその基本パターン選択信号に基づくメモリテストコマンドを生成するようにしたものである。

【0019】この発明に係る内蔵メモリテスト方法は、DUTの内部において、メモリスタから送られてくる制御信号に基づいたアドレスとデータの生成を行うとともに、内部バス幅によるDRAMのバス/フェイルの判定を行うようにしたものである。

【0020】この発明に係るバスインタフェースユニッ

6

トは、メモリスタからの制御信号中の基本パターン選択信号より、内部クロックサイクルでメモリテストコマンドおよびアドレスカウントアップ信号を生成するコマンドシーケンサを有する制御信号生成部と、内部アドレスを、そのアドレスカウントアップ信号と制御信号中のアドレス推移選択信号より、内部クロックに同期して生成するアドレス生成回路と、内部データの入出力を、制御信号中のデータセレクト信号とデータ反転信号にしたがって、内部クロックサイクルで行うデータ生成回路と、その内部データをDRAMに出力するドライバと、DRAMから読み出された内部データとデータ生成回路からの期待値パターンと比較して、内部バス幅によるバス/フェイルの判定を行う判定部とを備えたものである。

【0021】この発明に係る内蔵メモリテスト方法は、複数のメモリテストコマンドを表す制御信号を外部クロックサイクルで印加して、その複数のメモリテストコマンドを順に、DUT内部で内部クロックを用いてデコードするようにしたものである。

【0022】この発明に係るコマンドデコーダは、複数のメモリテストコマンドを表す制御信号を取り込むバッファと、各バッファが取り込んだ制御信号を内部クロックの各パルスにしたがってラッチするラッチ回路と、各ラッチ回路にラッチされた制御信号をメモリテストコマンドにデコードするデコーダとを備えたものである。

【0023】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による内蔵メモリテスト方法が適用されるDUTの構成を示すブロック図である。図において、1はCPUやBIUなどのロジック部とDRAMとを1つのチップに集積したLSIによるDUTであり、2はこのDUT1を駆動してそのテストを行うDUT1駆動用のメモリスタである。なお、このメモリスタ2によるDUT1のテストには、プロセッサとしての機能テスト以外に、冗長解析等を行うためのDRAM単体としてのテストモードが存在する。

【0024】また、上記DUT1内において、11は当該DUT1に内蔵されたDRAMであり、12はDUT1の制御処理を実行するCPU、14はメモリスタ2からの外部クロックを適倍してDUT1内の内部クロックを生成するPLLによるクロック生成回路である。13はメモリスタ2とのインタフェースをとるBIUであり、メモリスタ2からの制御信号に基づいて、内部アドレス、内部データ、およびメモリテストコマンドを、クロック生成回路14の生成する内部クロックに同期して生成し、さらにDRAM11から読み出されたデータと期待値とを比較して内部バス幅での判定を行う点で図12に同一符号を付して示したものと異なってい

(5)

特開平11-329000

7

る。15はこのBIU13内で、メモリテスト2からの制御信号よりメモリテストコマンドを生成するコマンドシーケンサである。

【0025】図2は上記BIU13の内部構成を示すブロック図である。図において、31はメモリテスト2から送られてくる制御信号中の基本パターン選択信号より、内部クロックに同期したPCG、ACT等のメモリテストコマンド、およびアドレスカウントアップ信号を、そのコマンドシーケンサ15にて生成する制御信号生成部である。32はこの制御信号生成部31からのアドレスカウントアップ信号と、メモリテスト2からの制御信号中のアドレス推移選択信号より、内部クロックサイクルで内部アドレスを生成するアドレス生成回路である。

【0026】また、33はメモリテスト2からの制御信号中のデータセレクト信号とデータ反転信号を受けて、内部クロックサイクルで内部データの入出力を行うデータ生成回路である。34はライト時にデータ生成回路33からの内部データをDRAM11に出力するドライバであり、35はリード時にDRAM11から読み出された内部データをデータ生成回路33からの期待値パターンと比較して、内部バス幅によるバス/フェイルの判定を行う判定部である。36は判定部35でフェイルと判定された時のアドレスをフェイルアドレスとしてメモリテスト2に出力するフェイルアドレスバッファである。

【0027】次に動作について説明する。メモリテスト2とのインターフェースとなるBIU13は内部の制御信号生成部31において、そのコマンドシーケンサ15により、クロック生成回路14がPLLでメモリテスト2からの外部クロックを逡倍して生成した内部クロックに同期して、DRAM11を機能テストするためのメモリテストコマンドを生成している。そのとき制御信号生成部31に接続されている制御信号は基本パターン選択信号である。なお、この場合、アドレスおよびデータの入出力は、従来の内蔵メモリテスト方法のように外部クロックサイクルでは行わず、この外部クロックサイクルでのアドレス、データの入出力を削除して、代わりにBIU13内にアドレス生成回路32、データ生成回路33、ドライバ34および判定部35を配置して、内部クロックサイクルでのアドレスおよびデータの入出力を行っている。

【0028】さらに、判定部35によるバス/フェイルの判定は、DRAM11から読み出されたデータとデータ生成回路33が生成した期待値パターンとを内部バス幅で比較することにより行っている。この判定部35でフェイルと判定された場合には、その時のアドレスをフェイルアドレスとして、フェイルアドレスバッファ36を介してメモリテスト2に、冗長解析用に出力する。また、アドレス生成回路32に接続されている制御信号は、アドレス生成順を表すインクリメント、ディクリメ

8

ント、行ファースト(Row First)および列ファースト(Column First)を選択するアドレス推移選択信号であり、データ生成回路33に接続されている制御信号は、データセレクト信号(Checker, Row Bar, Cell-All-0/1等)およびデータの反転を選択するデータ反転信号である。

【0029】このように、この実施の形態1による内蔵メモリテスト方法では、内部クロックサイクルでのメモリテストコマンド生成によるテスト時間の短縮に加えて、DRAM11からの出力データと期待値との比較の判定をBIU13内部にて内部バス幅で行っているの

で、チップ外部へのデータ出力に要するクロックサイクル(外部クロック1サイクル分)の削除が可能となる。【0030】以下、制御信号生成部31、アドレス生成回路32、およびデータ生成回路33のそれぞれについて説明する。なお、その際、クロック生成回路14のPLLは、内部クロックとしてP1相クロックとP2相による4逡倍クロックを生成しているものとする。

【0031】まず、制御信号生成部31について説明する。いくつかあるメモリファンクションテスト項目のテストパターンを細分化していくと、リード/ライト(Checker, Row Bar等)やアドレス印加順(行ファースト、列ファースト、アドレスインクリメントおよびアドレスディクリメント)は異なるけれども、メモリテストコマンドのシーケンスは共通であるような基本パターンに分類することができる。例えば、初期サイクル、全面リード、全面ライト、オートリフレッシュサイクル(Auto Refresh Cycle)、ディスターブリフレッシュサイクル(Disturb Refresh Cycle)といったものである。テストパターンはこのような基本パターンの組み合わせで構成されることから、基本パターンをP1、P2の2相による内部クロックに同期して生成するコマンドシーケンサ15を構成し、メモリテスト2からその基本パターンを選択するための基本パターン選択信号、およびアドレス推移選択信号、データセレクト信号、データ反転信号を制御信号として印加することで、テストパターンの生成が可能となる。

【0032】図3はこの実施の形態1による制御信号生成部31の構成とその入出力の関係を示す。前述のとおり、この実施の形態1による内蔵メモリテスト方法においては、メモリテストコマンドをDUT1の内部で生成するため、メモリテスト2からの入力はメモリテストコマンドそのものではなく、基本パターン選択信号、アドレス推移選択信号、データセレクト信号およびデータ反転信号となる。さらに、メモリテスト2からの入力はコマンドシーケンサ15からEnd信号が出力されることより、次に印加すべき基本パターン選択信号(およびアドレス推移選択信号、データセレクト信号、データ反転信号)となる。

9

【0033】コマンドシーケンサ15の一部の構成例を示すものとして、全面リード、全面ライトの回路構成を図4に示す。図において、41、42はそれぞれJ-Kフリップフロップであり、J-Kフリップフロップ41の正相出力Q0がJ-Kフリップフロップ42のJ入力に印加されている。43は列アドレスインクリメント信号とJ-Kフリップフロップ41の逆相出力Q0^ーの排他的論理和をとってJ-Kフリップフロップ42のK入力に印加する排他的論理和回路。44はJ-Kフリップフロップ41および42の逆相出力Q0^ーとQ1^ーの論理積をとってJ-Kフリップフロップ41のJ入力に印加するアンド回路であり、45はJ-Kフリップフロップ41および42に供給されるP2相の内部クロックを全面リード/ライト信号でゲートするアンド回路である。46はJ-Kフリップフロップ41および42の出力より、PCG、ACT、NOP、R/WREQなどのメモリテストコマンドを生成するデコーダを構成するアンド回路であり、47はそのR/WREQと基本パターン選択信号の一部であるRead、WriteからRREQおよびWREQを生成するアンド回路である。

【0034】上記のように構成されたコマンドシーケンサ15の状態遷移を図5に、タイミングチャートを図6に示す。全面リード/ライト信号がアサートされると、メモリテストコマンドがP2相の内部クロックに同期して生成される。全面リード/ライトのメモリテストコマンドの生成の順番はともに、PCG→ACT→NOP、R/WREQである。アドレスの推移が行ファーストの場合は、R/WREQの後、PCGへの遷移をとり、列ファーストの場合はR/WREQを列アドレスの全ビットパターン回帰しした後、PCGに遷移する。そこで、R/WREQ(Q0=0、Q1=1)の後、列アドレスインクリメント信号により遷移を決めている。この列アドレスインクリメント信号はアドレス生成回路32からの制御信号であり、アドレス推移選択信号で列アドレスインクリメント時にアサートされる。

【0035】次に、アドレス生成回路32について説明する。なお、このアドレス生成回路32の構成を図7に示す。図において、51はリセット付きのカウンタによって形成されるアドレスインクリメンタであり、52はアドレスインクリメンタ51からのアドレス・パターンを受けて、アドレスインクリメント/デクリメント信号によりアドレス反転を行うアドレス反転ON/OFF部である。

【0036】このアドレス生成回路32によるアドレス・パターンの生成は、行アドレスおよび列アドレスのそれぞれに対して行われる。その基本動作は、リセット付きのカウンタによるアドレスインクリメンタ51にコマンドシーケンサ15からの行(または列)のアドレスカウンティネーブル信号を印加して、アドレス・パターンのカウントアップを行わせる。アドレスインクリメンタ

(6)

特開平11-329000

10

51でカウントアップされたアドレス・パターンはアドレス反転ON/OFF部52に送られ、アドレスインクリメント/デクリメント信号にしたがって、デクリメント時には反転信号型によりアドレス反転される。このアドレス反転ON/OFF部52より出力されるアドレス・パターンは、内部アドレスとしてDRAM11に送られるとともに、データ生成回路33にも送られる。

【0037】次に、データ生成回路33について説明する。なお、このデータ生成回路33の構成を図8に示す。図において、61は入力されたアドレス・パターンと制御信号中のデータセレクト信号よりデータ・パターンを発生するデータ発生部であり、62はこのデータ発生部61の発生したデータ・パターンを受けて、データ反転信号によりデータ反転を行うデータ反転ON/OFF部である。

【0038】このデータ生成回路33のデータ発生部61は、データスクランブル(例えば、Checker、Row Bar等)の論理演算を実行するための回路が組み込まれており、アドレス生成回路32からのアドレス・パターンと、メモリテスト2からの制御信号中のデータセレクト信号により、所望のデータ・パターンが出力される。メモリテストのデータ・パターンにおける正相のデータDataと逆相のデータData^ーを印加する場合のため、このデータ発生部61の発生したデータ・パターンはデータ反転ON/OFF部62に inputs され、メモリテスト2からの制御信号中のデータ反転信号に応じてデータ反転される。

【0039】このように、この実施の形態によれば、外部クロックを過倍して生成した内部クロックに同期してメモリテストコマンドを生成しているため、DUT1に内蔵されているDRAM11のテスト時間を短縮することが可能となり、かつDRAM11のシーケンス動作を通常動作時と同じサイクルで網羅的に検証できるばかりか、アドレスおよびデータを内部クロック同期でDUT1内で行っているため、DRAM11の出力データと期待値パターンとの比較判定を内部バス幅で行うことが可能となり、内部バス幅を外部バス幅に縮退するMBTのように、データをチップの外部に出力するために外部クロックの1サイクル分を必要としなくなって、DRAM11のテスト時間のさらなる短縮が可能となるなどの効果が得られる。

【0040】実施の形態2。図9はこの発明の実施の形態2による内蔵メモリテスト方法が適用されるDUTの構成を示すブロック図である。図において、1はDUT、2はメモリテスト、11はDRAM、12はCPU、13はBIU、14はクロック生成回路であり、これらは図12に同一符号を付して示した従来のそれらに相当する部分である。また、16はBIU13内に配置され、メモリテスト2より外部クロックサイクルで印加される、複数のメモリテストコマンドを表す制御信号

11

を、クロック生成回路14で外部クロックを逡倍して生成した内部クロックに同期してデコードすることにより、内部クロック同期のメモリテストコマンドを生成するコマンドデコーダである。

【0041】また、図10は上記B1U13内のコマンドデコーダ16の構成を示すブロック図である。図において、71はメモリテスト2から送られてくる、2つのメモリテストコマンド（#1コマンドおよび#2コマンド）を表す制御信号の内の#1コマンドを表す制御信号を外部クロックに同期して取り込むバッファであり、72は複数のメモリテストコマンドを表す制御信号の内の#2コマンドを表す制御信号を外部クロックに同期して取り込むバッファである。73、74はバッファ71あるいは72が取り込んだ制御信号を、内部クロックの各パルスにしたがって交互にラッチするラッチ回路であり、75はこのラッチ回路73および74にてラッチされた制御信号をPCG、ACTなどのメモリテストコマンドにデコードするデコーダである。

【0042】このように、この実施の形態2による内蔵メモリテスト方法では、複数のメモリテストコマンドを表す制御信号を1つの外部クロックサイクルで印加し、それを外部クロックを逡倍した内部クロックに同期してデコードすることにより、内部クロック同期のメモリテストコマンドを生成している点で、外部クロックの1サイクル分では1つのメモリテストコマンドを表す制御信号を印加している従来の内蔵メモリテスト方法とは異なっている。なお、このような実施の形態2による内蔵メモリテスト方法は、B1U13からDRAM11への同期型制御信号の数が少なく、さらにメモリ単体テストにおいて不必要なピン端子（システム制御ピンなど）を割り当てることのできるDUT1の特性を利用して実現可能となる。

【0043】次に動作について説明する。ここで、図10に示したコマンドデコーダ16によるメモリテストコマンド生成のタイミングチャートを図11に示す。実施の形態1の場合と同様に、4逡倍クロック（P1相クロック、P2相クロック）のP2相に同期したメモリテストコマンド生成としている。その場合、P2相クロックでは、パルスP21とパルスP22とが交互に繰り返されるものとする。メモリテスト2から外部クロックサイクルで2つのメモリテストコマンド（#1コマンドと#2コマンド）を表す制御信号を並列に印加するようにテストパターンを作成する。ただし、メモリテストコマンドに対する動作が終了するまでに、P2相クロックで2サイクル以上要するメモリテストコマンドも存在するため、2サイクル以上要する場合にはあらかじめメモリテストコマンドにNOPを挿入し、パターン作成の段階で調整する。

【0044】メモリテスト2から送られてくる#1コマンドを表す制御信号がバッファ71に、#2コマンドを

(7)

特開平11-329000

12

表す制御信号がバッファ72に、それぞれ外部クロックサイクルで取り込まれる。バッファ71に取り込まれた制御信号はP2相クロックのパルスP21でラッチ回路73にラッチされて、デコーダ75により#1コマンドにデコードされる。同様に、バッファ72に取り込まれた制御信号はP2相クロックのパルスP22でラッチ回路74にラッチされて、デコーダ75により#2コマンドにデコードされる。このように、P2相のクロックのパルスP21とP22とで#1コマンドを表す制御信号と#2コマンドを表す制御信号を順にデコードさせることにより、P2相のクロックに同期したメモリテストパターンが生成できる。

【0045】以上のように、この実施の形態2によれば、複数のメモリテストコマンドを表す制御信号を外部クロックサイクルで印加し、それをDUT1内の逡倍した内部クロックでデコードすることにより、通常動作にあった内部クロックサイクルでのメモリテストコマンドの生成が可能となり、DUT1に内蔵されているDRAM11のテスト時間を短縮することができる効果が得られる。

【0046】

【発明の効果】以上のように、この発明によれば、DRAMのテストパターンをメモリテストコマンドのシーケンスが共通な基本パターンに分類して、その基本パターンを選択する基本パターン選択信号に基づいて、内部クロックサイクルでのメモリテストコマンドの生成を行うように構成したので、通常動作にあった内部クロックサイクルでメモリテストコマンドを生成することが可能となり、DUTに内蔵されているDRAMのテスト時間を短縮できる内部メモリテスト方法が得られる効果がある。

【0047】この発明によれば、メモリテスト2から制御信号に基づいたアドレスとデータの生成、および内部バス幅によるDRAMのバス/フェイルの判定を、DUTの内部において行うように構成したので、チップ外部へデータを出力するために要するクロックサイクルを削減でき、内蔵するDRAMのテスト時間をさらに短縮することが可能になる効果がある。

【0048】この発明によれば、制御信号生成部のコマンドシーケンスによって、制御信号中の基本パターン選択信号よりメモリテストコマンドおよびアドレスカウンタアップ信号を生成し、アドレス生成回路でそのアドレスカウンタアップ信号と制御信号中のアドレス推移選択信号より内部アドレスを生成するとともに、データ生成回路で制御信号中のデータセレクト信号とデータ反転信号をもとに内部データの入出力を行い、その内部データをドライバよりDRAMに出力し、DRAMから読み出された内部データとデータ生成回路からの期待値パターンを、判定部において内部バス幅で比較してバス/フェイルの判定を行うように構成したので、内蔵するDRAM

13

Mのテスト時間を短縮するのに有効なバスインタフェースユニットが得られる効果がある。

【0049】この発明によれば、複数のメモリテストコマンドを表す制御信号を外部クロックサイクルで入力し、内部クロックを用いてその複数のメモリテストコマンドをDUT内部で順にデコードするように構成したので、通常動作にあった内部クロックサイクルでメモリテストコマンドを生成することが可能となり、内蔵するDRAMのテスト時間を短縮できる内部メモリテスト方法が得られる効果がある。

【0050】この発明によれば、各バッファが取り込んだ複数のメモリテストコマンドを表す制御信号を、内部クロックの各パルスにしたがって各ラッチ回路にラッチし、デコーダにて、それら各ラッチ回路にラッチされた制御信号をメモリテストコマンドにデコードするように構成したので、内蔵するDRAMのテスト時間を短縮するのに有効なコマンドデコーダが得られる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による内蔵メモリテスト方法が適用されるDUTの構成を示すブロック図である。

【図2】 実施の形態1におけるBIUの構成を示すブロック図である。

【図3】 実施の形態1における制御信号生成部の構成とその入出力の関係を示すブロック図である。

【図4】 実施の形態1におけるコマンドシーケンサの構成の一部を示す回路図である。

(8)

特開平11-329000

14

*【図5】 実施の形態1におけるコマンドシーケンサの状態遷移を示す説明図である。

【図6】 実施の形態1におけるコマンドシーケンサの動作を示すタイミングチャートである。

【図7】 実施の形態1におけるアドレス生成回路の構成を示すブロック図である。

【図8】 実施の形態1におけるデータ生成回路の構成を示すブロック図である。

【図9】 この発明の実施の形態2による内蔵メモリテスト方法が適用されるDUTの構成を示すブロック図である。

【図10】 実施の形態2におけるコマンドデコーダの構成を示すブロック図である。

【図11】 実施の形態2におけるコマンドデコーダの動作を示すタイミングチャートである。

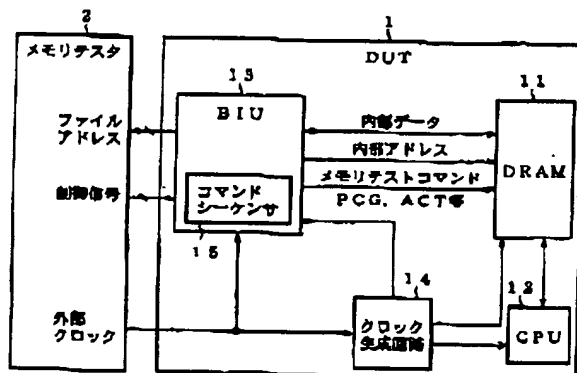
【図12】 従来の内蔵メモリテスト方法が適用されるDUTの構成を示すブロック図である。

【図13】 従来の内蔵メモリテスト方法が適用されるメモリスタの構成を示すブロック図である。

【符号の説明】

1 DUT (DRAM内蔵プロセッサ)、2 メモリスタ、11 DRAM、13 BIU (バスインタフェースユニット)、15 コマンドシーケンサ、16 コマンドデコーダ、31 制御信号生成部、32 アドレス生成回路、33 データ生成回路、34 ドライバ、35 判定部、71、72 バッファ、73、74 ラッチ回路、75 デコーダ。

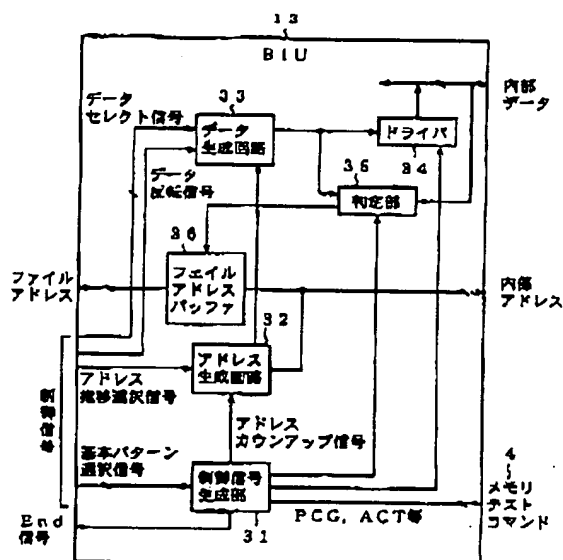
【図1】



— 外部クロック周期
— 内部遅延クロック周期

1: DUT (DRAM内蔵プロセッサ)
13: BIU (バスインタフェースユニット)

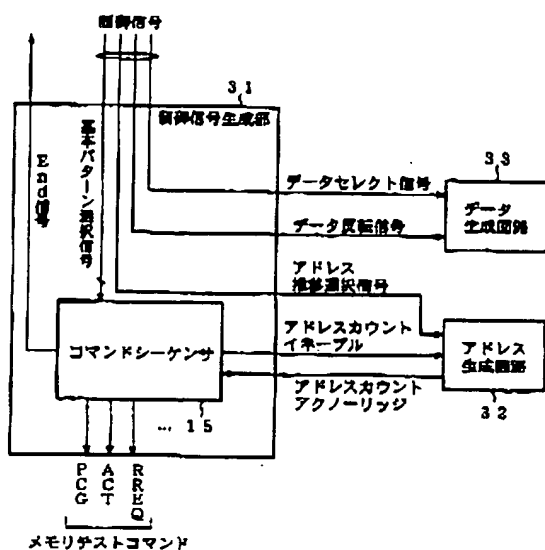
【図2】



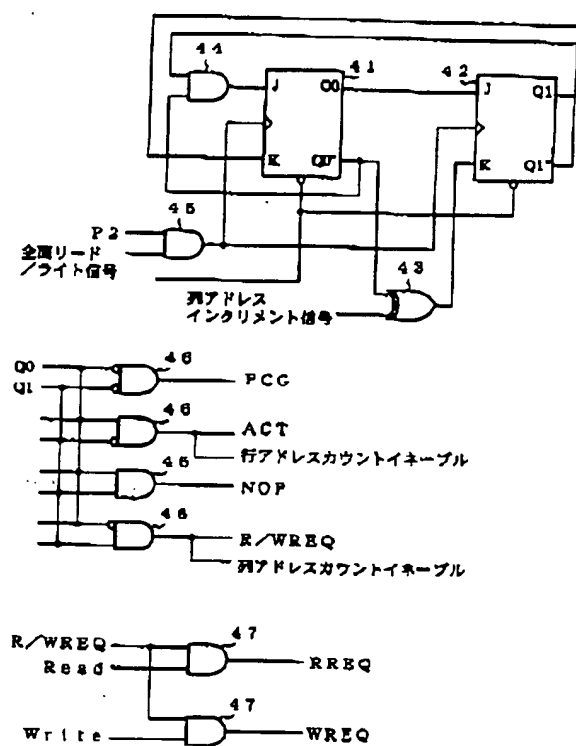
(9)

特開平11-328000

【図3】



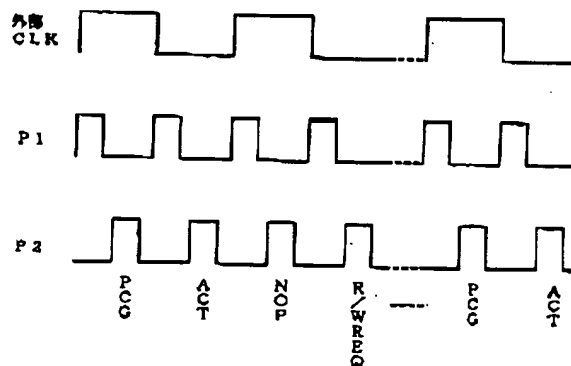
【図4】



【図5】

Q0	Q1	コマンド状態
0	0	PCC
1	0	ACT
1	1	NOP
0	1	R/WREQ

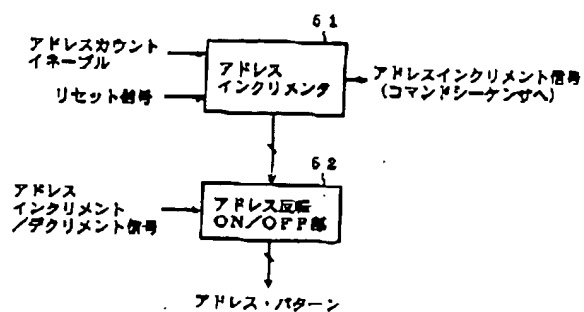
【図6】



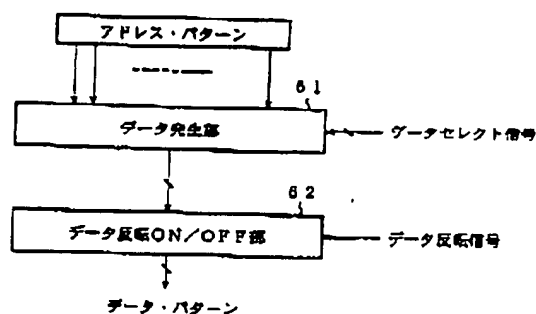
(10)

特開平11-329000

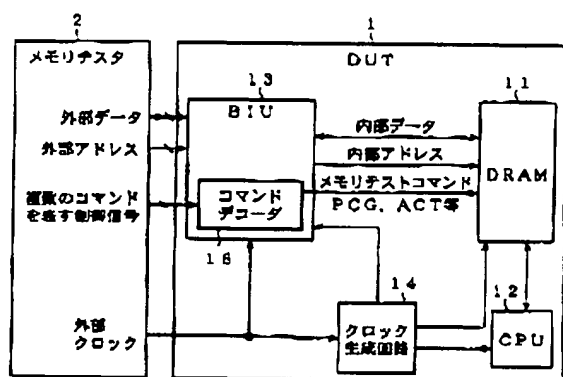
【図7】



【図8】

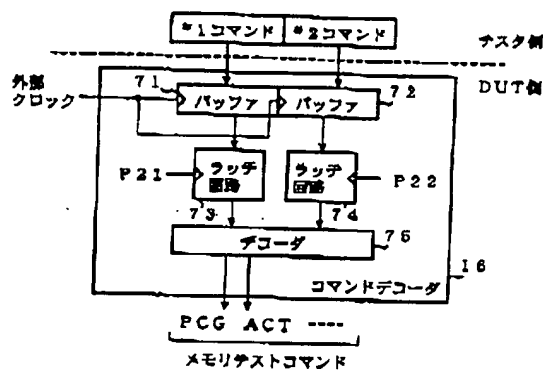


【図9】

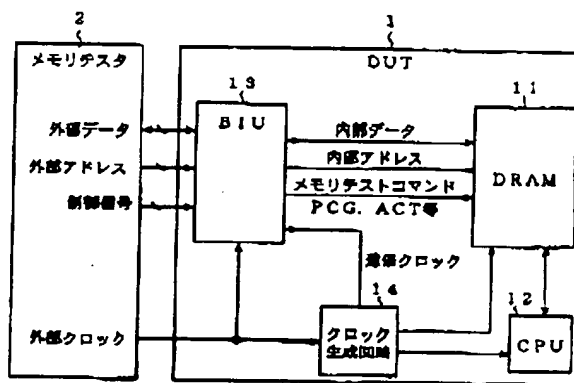


—— 外部クロック周期
—— 内部通信クロック周期

【図10】

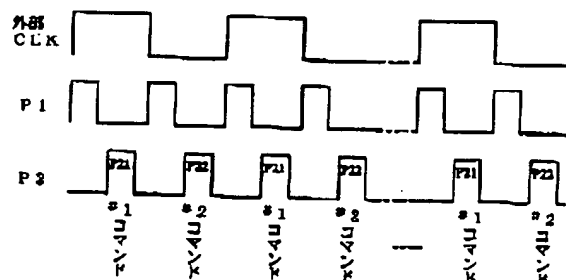


【図12】



—— 外部クロック周期
—— 内部通信クロック周期

【図11】



(11)

特開平11-329000

【図13】

